

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2003-504849

(P2003-504849A)

(43) 公表日 平成15年2月4日 (2003.2.4)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード (参考)

H 0 1 L 25/065

H 0 1 L 25/08

Z

23/52

23/52

C

25/07

25/18

審査請求 有 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2001-508501(P2001-508501)  
(86) (22) 出願日 平成12年6月30日 (2000.6.30)  
(85) 翻訳文提出日 平成13年10月25日 (2001.10.25)  
(86) 国際出願番号 PCT/EP 00/06132  
(87) 国際公開番号 WO 01/003189  
(87) 国際公開日 平成13年1月11日 (2001.1.11)  
(31) 優先権主張番号 99112540.2  
(32) 優先日 平成11年7月1日 (1999.7.1)  
(33) 優先権主張国 欧州特許庁 (EP)  
(31) 優先権主張番号 100 11 005.3  
(32) 優先日 平成12年3月7日 (2000.3.7)  
(33) 優先権主張国 ドイツ (DE)

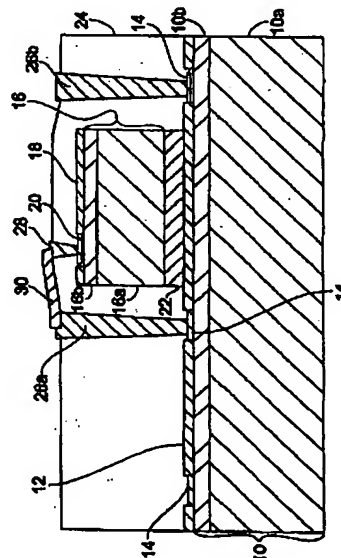
(71) 出願人 フラウンホーファー・ゲゼルシャフト・ツ  
ール・フェルデルング・デル・アングヴァ  
ンテン・フォルシュング・アインゲトラ  
ゲネル・フェライン  
ドイツ国、D-80636 ミュンヘン、レオ  
ンロッドストラーセ54番  
(72) 発明者 ランデスベルガー、クリストフ  
ドイツ国、D-81241 ミュンヘン、オス  
バルトービーバーヴェーク 7  
(72) 発明者 ライヒル、ハーバート  
ドイツ国、D-14193 ベルリン、グナイ  
ストストラーセ 6A  
(74) 代理人 弁理士 森下 武一

最終頁に続く

(54) 【発明の名称】 マルチチップモジュール及びマルチチップモジュールの製造方法

(57) 【要約】

マルチチップモジュールは、ベースチップ10、厚さが100 $\mu$ m未満のトップチップ16、ベースチップ10とトップチップ16の間に配置され、これら二つのチップを機械的に接続する接着層22を含む。平らな表面を得るために電気的に絶縁性の平面化層24が設けられ、トップチップ16は平面化層24内に埋設されている。平面化層24に形成されたスルーホール26aには導電材料が充填されており、このスルーホール26aの片側はベースチップ10の接続部に接続され、他方側はメタライゼーション28、30を介してトップチップ16の接続部20に導電状態に接続されている。導電材料が充填されている平面化層24のスルーホール26a、26bにより、チップ間、ベースチップとマルチチップモジュール外部との間又はトップチップとマルチチップモジュール外部との間の全ての接続が、個々のチップとは関係なく、また、平面化のための周知の半導体処理工程を用いて確立できる。



## 【特許請求の範囲】

【請求項1】 以下のものを含むマルチチップモジュール、

一面に、不活性化層(12)及び少なくとも一つの接続部(14)を有するベースチップ(10)、

上面及び下面を有するトップチップ(16)であり、その上面には不活性化層(18)及び少なくとも一つの接続部(20)を有し、トップチップの厚さは100 $\mu$ m未満である、

ベースチップ(10)の不活性化層(12)とトップチップ(16)の下面の間に配置され、トップチップ(16)とベースチップ(10)を機械的に相互接続する接着層(22)、

ベースチップ(10)の表面に設けられた電氣的絶縁性の平面化層(24)であり、この層(24)内にトップチップ(16)が実質的に埋設されている、

平面化層(24)を貫通し、導電材料を充填されたスルーホール(26a)であり、この導電材料はベースチップ(10)の接続部(14)と電氣的に接続している、

スルーホール(26a)内の導電材料をトップチップ(16)の接続部(20)に接続するための接続構造(28, 30)。

【請求項2】 請求項1記載のマルチチップモジュールであり、

平面化層(24)はトップチップ(16)の表面を横切って延び、

接続構造(28, 30)は以下のものを含む、

平面化層(24)を貫通し、導電材料を充填された更なるスルーホール(28)であり、この導電材料はトップチップ(16)の接続部(20)に導電状態で接続されている、

平面化層(24)のベースチップ(10)の表面とは接していない面に設けられたメタライゼーション(30)であり、このメタライゼーション(30)は導電材料を充填された前記第1スルーホール(26a)を導電材料を充填された前記第2スルーホール(28)に接続する。

【請求項3】 請求項1又は請求項2記載のマルチチップモジュールであり、さらに以下のものを含む、

平面化層(24)のベースチップ(10)の表面とは接していない面に設けられた再配線構造(32)であり、この再配線構造(32)は接続構造(30)に電氣的に接続している、

絶縁層(36)であり、再配線構造(32)はこの絶縁層(36)と平面化層(24)の間に配置されている、

絶縁層(36)を貫通する接続スルーホール(34)であり、この接続スルーホール(34)は導電材料を充填され、接続構造(28, 30)への接続のために使用されている。

【請求項4】 請求項3記載のマルチチップモジュールであり、さらに以下のものを含む、

導電材料を充填された接続スルーホール(34)の上に設けられた半田材料(38)であり、この半田材料(38)はマルチチップモジュールを回路基板にフリップチップ実装する際に使用される。

【請求項5】 請求項1、請求項2、請求項3又は請求項4記載のマルチチップモジュールであり、接着層(22)はエポキシ樹脂から成り、 $10\mu\text{m}$ 以下、好ましくは $3\mu\text{m}$ 以下の厚さを有する。

【請求項6】 請求項1、請求項2、請求項3、請求項4又は請求項5記載のマルチチップモジュールであり、平面化層(24)は高分子材料から成る。

【請求項7】 請求項1、請求項2、請求項3、請求項4、請求項5又は請求項6記載のマルチチップモジュールであり、マルチチップモジュールはさらに以下のものを含む、

ベースチップ(10)にのみ接続する第1接続構造(44)及び／又はトップチップ(16)にのみ接続する第2接続構造(30)。

【請求項8】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6又は請求項7記載のマルチチップモジュールであり、トップチップ及び／又はベースチップはCMOS回路構造(16b, 10b)を含んでいる。

【請求項9】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7又は請求項8記載のマルチチップモジュールであり、薄いチップ及びトップチップとベースチップの間の平面化層から成る中間層を含み、この中間

層をベースチップ及びトップチップに接続するために及び／又は外部からこの中間層に接続するために、複数の更なるスルーホールがこの平面化層に設けられている。

【請求項10】 請求項1、請求項2、請求項3、請求項4、請求項5、請求項6、請求項7、請求項8又は請求項9記載のマルチチップモジュールであり、ベースチップ(10)の材料はトップチップ(16)の材料とは異なる。

【請求項11】 以下のステップを有するマルチチップモジュールの製造方法

一面に不活性化層(12)及び少なくとも一つの接続部(14)を有するベースチップ(10)を含むベースウェハ(40)を用意する、

上面及び下面を有するトップチップ(16)を用意する、トップチップ(16)は、その上面に不活性化層(18)及び少なくとも一つの接続部(20)を有し、100 $\mu$ m未満の厚さである、

ベースチップ(10)の不活性化層(12)に接着層(22)を設ける、

接着層(22)にトップチップ(16)を設ける、

平面化層(24)を使用して、ベースチップとそこに接着されたトップチップを平面化する、

平面化層(24)を貫通してベースチップ(10)の接続部(14)に通じるスルーホール(26a, 26b)を形成する、

スルーホールに導電材料を充填する、

スルーホール(26a)内の導電材料をトップチップの接続部(20)に接続する。

【請求項12】 請求項11記載の方法であり、前記平面化ステップは高分子材料が使用されるスピンコーティング工程である。

【請求項13】 請求項11又は請求項12記載の方法であり、前記充填ステップは無電解めっき、電着、CVDコーティングのうちの少なくとも一つを含む。

【請求項14】 請求項11、請求項12又は請求項13記載の方法であり、前記接続ステップは以下のステップを含む、

平面化層に金属層を設ける、  
メタライゼーション（30）を得るために、リソグラフィ技術を用いて金属層をパターン化する。

【請求項15】 請求項11、請求項12、請求項13又は請求項14記載の方法であり、トップチップ（16）を用意するステップは以下のサブステップを含む、

前処理された標準的なウエハを用意する、  
乾式エッチング工程によってウエハの上面にトレンチをエッチングする、  
ウエハを支持台に載せる、  
乾式エッチング工程によってウエハを底部からトレンチに届くまで薄くする、  
トップチップ（16）を得るために、ダイシングされたチップを支持台から離す。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、集積回路、特に3次元のマルチチップモジュールに関する。

## 【0002】

## 【従来の技術と問題点】

複数の集積チップから成るチップシステムは一般的にマルチチップモジュールと呼ばれている。マルチチップモジュールの場合、通常、複数のチップがそれら全チップに配線路を確保するための基板の上に配置されている。電気接続を確立するために、通常、ワイヤボンディング及び／又はフリップチップ実装技術が用いられる。その後、この組み立てられたマルチチップモジュールは、通常、外部端子を有する比較的大きなハウジング内に載置される。マルチチップモジュールの内部接続部と外部接続部との間の配線は、通常、再びワイヤボンディングを行うことにより実現される。

## 【0003】

ワイヤボンディングは実質的に高周波の直列のインダクタンスを意味し、従って著しいローパス特性を有しているので、一般的に高周波用には不向きであるという不利点を有している。更に、特に多くのワイヤボンディングが必要な場合には、非常に時間を要し、従って高価なものとなる。

## 【0004】

半田球又は異方性導電接着材料を有するフリップチップ技術は200℃を超える高い処理温度を必要とする。更に、比較的長い周期が必要である。また、望ましくないことであるが、この高温のために、合成チップにも高い加工熱応力が発生する。つまり、最終的にはフリップチップ実装技術は複数層から成るチップ積層体に応用できないことになる。

## 【0005】

このようなマルチチップモジュールの更なる根本的な不利点は、後の3次元集積技術は、基板の回路設計、又は複数層のチップ積層体の場合には、個々のチップの回路設計の段階で考慮されなければならない。これは、相当する接続部の配

置を保障するのに必要である。この前もつての条件設定は、マルチチップモジュール全体がいわゆる第2根本必要条件を満たさなければならない場合に特に不利である。

【0006】

マルチチップモジュールに内在する基本的な概念は、ある製造者のチップをある特定の機能のために使用し、別の製造者のチップを別の機能のために使用することができるように、異なる機能性が集積されたチップを互いに接続することである。この概念により、一つの製造者又は異なる製造者の妥当な価格の標準的なチップを使用することが可能になる。多様な応用のためにずっと複雑で高価な方法である全ての機能性を一つのチップに統合する必要がなくなる。

【0007】

しかしながら、多数の個々のチップを含むマルチチップモジュールを考えると、個々のチップの製造者に対する依存が問題である。マルチチップモジュールの例えば10のチップのうちの一つのチップがもはや入手不可能になった場合、一つのベース基板が全ての配線路と接続部を提供している公知のマルチチップモジュールでは、異なる製造者のチップの異なる接続部位置に対応するために完全に設計をやり直すことになる。

【0008】

特定の機能性を果たすチップをある製造者より妥当な価格で競合する別の製造者が製造した場合も、同じ不利益が発生する。従って、公知のマルチチップモジュールにおいては、マルチチップモジュールの設計の完全なやり直しを避けるために、より高価なチップが使用され続けたことがしばしばあった。このような設計のやり直しのためのコストは、より安価なチップの使用で達成されるコスト削減をはるかに超えていた。

【0009】

従って、第2根本必要条件は、最終部品として得られる前処理済みのチップは多様な応用のために使用できるものであることを意味する。これは、一つのチップ製造者からの独立を可能にし、競争相手のチップ製造者のより安価なチップを選択することができるという融通性を与える。調査によると、例えば単純なシリ

コン回路チップの場合、後の製品の付加価値の90%までが組立及び接続技術面に存在し、それをダイシングすることによって個々のチップを作成するウエハの製造に存在するわけではないことが分かっている。最後に、調和したマルチチップモジュールの概念は、回路設計者は多種のチップの個々の機能性にさほど専念する必要はなくなり、様々なチップ部品の相互接続にのみ専念すればよいという効果をもたらす。

【0010】

マルチチップモジュールに対する更なる一般的な要求は、最終製品は小型で、可能な限りの低価格で製造できることである。これは、つまり複雑な新しい製造方法を開発する必要がなく、公知の標準的な製造工程を極力使用できることを意味する。

【0011】

本発明の目的は、一方では融通性があり、他方では妥当な価格で実現できるマルチチップモジュール概念を提供することである。

【0012】

【発明の構成、作用及び効果】

本発明は請求項1記載のマルチチップモジュール又は請求項11記載のマルチチップモジュールの製造方法によって達成される。

【0013】

本発明は、妥当な価格の融通性のあるマルチチップモジュールは、通常の寸法を有するベースチップに、接着層を使用して、厚さ100 $\mu$ m未満の薄いトップチップを少なくとも一つ載置することにより実現できるという発見に基づいている。好ましくは、50 $\mu$ m未満の厚さのものがトップチップとして使用され、特に20 $\mu$ m程度又はそれ以下でもよい。

【0014】

本発明に係るマルチチップモジュールの概念によれば、公知の方法とは対照的に、薄いトップチップがベースチップの不活性部に載置され、これにより、ベースチップとトップチップは互いに独立した設計が可能であり、位置的に一致する接続部を設置する必要がないので第2根本必要条件に従って随意に交換可能であ



る。極薄チップの使用により、トップチップがベースチップに接着される際に平面化層を使用して合成チップの平面化が可能になる。また、トップチップとベースチップとの間及び／又はトップチップ又はベースチップから外部への全ての接続が、この平面化層を貫通し、導電材料を充填された適当なスルーホールによって実現する。

【0015】

そして、ベースチップ及びトップチップの接続部は、平面化層を貫通する適当なスルーホールによっていわゆる最上部まで延在することができ、周知のリソグラフィ技術を使用して任意の接続構造が形成できる。この接続構造により、トップチップとベースチップの相互接続が可能になり、また、この接続構造はトップチップと外部の接続及びベースチップと外部の接続のために使用できる。

【0016】

平面化の後、マルチチップモジュールは実質的に平面を有するようになるため、平らな表面に適する全ての処理技術工程が使用可能である。他方、薄いトップチップの使用は、平面化層を貫通するスルーホールが限られた経費で形成でき、さらに接続部を最上部まで延長するための金属の充填を確実に行うことができるという効果をもたらす。トップチップの厚さが100 $\mu$ m未満であり、20 $\mu$ m以下であり得るので、必要なスルーホールの縦横比は周知の技術による処理が確実に行われ得るようなものである。

【0017】

更なる実質的な利点は、小型化を図れることである。載置された各チップは単に薄いフィルムを部品の容量に加えるだけである。完成されたマルチチップモジュールは、最終分析では、標準的なICよりも大きくはならない。この特性は更なる利点につながる。即ち、マルチチップモジュールは、フリップチップ技術、ワイヤボンディング等のあらゆる公知の相互接続技術を用いて更なる処理を受けることができる。

【0018】

実質的なコスト削減につながる別の利点は、全ての接続及び配線工程は支持台としてのベースウエハ上で行われることである。このベースウエハの一部がベー

スチップとなる。故に、ほとんどの組立て及び接続工程がウエハ工場で非常に妥当なコストで実行され得る。モジュール自体のチップ間の接続又はモジュールのチップと外部接続部間の接続には大変な手間と時間がかかるが、これはもはや必要ではない。

【0019】

最後に、「チップ搭載」処理及び「チップ接続」処理は別々に行われる。マルチチップモジュールのそれぞれの薄いトップチップの搭載は単純で速い組み立て工程で好ましくは室温で行われる。接続、つまりトップチップの下の接着層を固くすることは30～130℃の間の低温で行われる。全域均質の接着が行われる。従って、搭載と接続の分離は低応力の組み立てモードを可能にし、さらにこの場合の周期は、フリップチップ技術やワイヤボンディング技術の場合に必要とされるよりもずっと短いものでよい。

【0020】

マルチチップモジュールの製造に用いられる技術は、何の付加費用も必要とせず、複数層の配線面形成のためにも応用できる。

【0021】

最後に、チップ部品の任意の選択が可能である。本発明に係るマルチチップモジュール技術は、配線全体が平面化層、つまりトップチップと並んで行われる場合、個々のチップ部品からは独立している。従って、任意の製造所で作られている現存の回路ウエハが、それら回路ウエハ自身の再設計の必要なく、即座にこの集積技術に供され得る。

【0022】

【発明の実施の形態】

以下に、添付図面を参照して本発明の好ましい実施形態を詳細に説明する。

【0023】

図1は本発明の第1実施形態であるマルチチップモジュールを示す。このマルチチップモジュールは、半導体基板10a及び本発明の好ましい実施形態ではCMOS領域である活性領域10bを含むベースチップ10を有している。ベースチップ10の表面上には不活性化層12が設けられ、この不活性化層12は、そ

れぞれの使用形態に応じてベースチップ10と接続するための接続部14によって中断されている。

【0024】

図1のマルチチップモジュールはさらに、半導体基板16a及びこの好ましい実施形態においてはCMOS領域16bを含むトップチップ16を有している。トップチップ16の上面にはさらに、接続部20によって中断されている不活性化層18が配置されている。トップチップ16とベースチップ10が接着層22を介して機械的に接続されるように、トップチップ16はベースチップの不活性化層12に接着層22を介して接続されている。トップチップ16は電氣的に絶縁性の平面化層24内に埋設されている。電氣的に絶縁性の平面化層24は、不活性化層12のトップチップ16が配置されない領域を覆う。平面化層24は、最初はベースチップ10の接続部全体に広がっている。

【0025】

図1に示す実施形態において、トップチップ16は平面化層24内に全域が埋設されている。これは、平面化層24がトップチップ16を横切って延在していることを意味する。しかし、平面化層24は、それがトップチップの不活性化層18と同一面になるように配設されていてもよい。この場合、トップチップの接続部20は直接露出し、平面化層24によって覆われることはない。

【0026】

ベースチップの少なくともいくつかの接続部14を外側へ延ばすために、複数のスルーホール26a、26bが平面化層24に形成されており、これらのスルーホール26a、26bには導電材料が充填されている。

【0027】

トップチップ16が全域平面化層24内に埋設されている図1の場合、さらに、ベースチップまでは下方に延びてはいないが、トップチップ16の接続部20までそのトップチップ上部の平面化層24を通して延びている他のスルーホール28が形成されている。このスルーホール28にもまた導電材料が充填され、接続部20を上面まで延長している。

【0028】

ベースチップ10とトップチップ16を相互接続するために、さらにメタライゼーション30が配設され、これは導電材料を充填されたスルーホール26aから導電材料を充填されたスルーホール28まで延びている。

【0029】

導電材料を充填され、ベースチップ10との接続のためにのみ配設されているスルーホール26bの場合、接続のために使用される接続部は図1の横断面図には描かれていない。

【0030】

図1に示す実施形態においては、必ずしもトップチップ16が完全に平面化層24内に埋設されなくてもよいように見えるが、平面化層がトップチップと同一面である場合、メタライゼーション30はトップチップ16の接続部20に直接延びることになる。

【0031】

図2は本発明の別の実施形態であるマルチチップモジュールを示している。このマルチチップモジュールは、メタライゼーション30の接着のために設計されたものではなく、フリップチップ実装のための接続構造を有するものである。この目的のために、別のメタライゼーション領域32が配設され、これは、一方ではスルーホール26a、28を相互接続しているメタライゼーション30に導電状態に接続され、他方では絶縁層36を貫通しているスルーホール34の下まで延びている。このスルーホール34にもまた導電材料が充填されている。導電材料を充填されたこれらの更なるスルーホール34の上には、フリップチップ実装のための半田球38が置かれている。他の部分に関しては、図2に示されている実施形態であるマルチチップモジュールは図1のマルチチップモジュールと異なるところはない。

【0032】

図2に示されている実施形態から、本発明に係るマルチチップモジュールは、それがハウジングに収納され、外部接続部との接続が確立された場合、あたかも個々のICのように扱われ得ることが明らかである。非常に薄いトップチップを考えると、マルチチップモジュール全体の高さでも、最終的な分析では、周知の

IC 1個の高さに比べてさほど大きいわけではない。この点に関して、図1及び図2は、ベースチップ及びトップチップの厚さに関しては正確な縮尺ではないということを指摘しておかなければならない。実際、従来のベースチップは680～800 $\mu$ mの厚さであるが、トップチップの厚さとしては約20 $\mu$ mが好ましい。これは、ベースチップの厚さが実際トップチップの厚さの約35倍であることを意味している。

【0033】

メタライゼーションの配列は、半田付け可能な金属層を使用して半田バンプを設けることで、CSP（チップサイズパッケージ）処理により形成することも可能である。

【0034】

図3は複数のベースチップ10によって規定されるベースウエハ40の上面図である。つまり、図3は個々のマルチチップモジュールを得るためにダイシングされる前の複数のマルチチップモジュールを示している。しかし明白を期するために、図3では1つのマルチチップモジュールを詳細に示しているが、ベースチップ10に隣接する部分には任意の数の更なるマルチチップモジュールが配設されている。

【0035】

さらに、図3は1個だけではなく2個のトップチップを含むマルチチップモジュールを示している。これらの2個のトップチップはチップ間接続構造42によって相互接続されている。トップチップ1はさらにベースチップの接続部14に接続構造30を介して接続されている。さらに、図3は配線44に基づいて、ベースチップの接続部14がマルチチップモジュールの外部接続部46に直接接続される場合を示している。図3の接続構造44は、図1に示されていないメタライゼーションだけでなく図1のスルーホール26bも含んでいる。

【0036】

以下に、図1及び図2に示されている本発明に係るマルチチップモジュールの製造方法を説明する。

【0037】

本発明の集積概念は、最終的な厚さが $5\mu\text{m}$ 程度である極端に薄い回路チップを利用する。複数の極薄の回路チップをベースウエハ、例えば図3ではウエハ40に接着する。スパインコーティング処理により、接着層22は非常に薄く形成され得る。接着層の厚さとして $3\mu\text{m}$ を考慮すれば十分である。

【0038】

図3に示されているように、ベースウエハ40は好ましくは複数のベースチップ10を含んでいる。薄いトップチップ16を備えたベースウエハは、好ましくはポリイミド、BCB（ベンゾシクロブテン）、スピノングラス等の高分子材料のスパインコーティング処理を施される。これにより、薄いチップは平面化層24である高分子フィルム内に好ましくは埋設される。

【0039】

リソグラフィ工程及び標準的なエッチング技術により、スルーホール26a、26b、28が高分子フィルム24に形成され、これらスルーホールのそれぞれは、トップチップ16及びベースチップ10のメタライゼーション面20、14まで延びている。そしてこれらのスルーホールに、例えばニッケルを使用した無電界めっき、電着又はCVD処理によって、金属が充填される。さらに、ウエハ上全体に金属面が形成される。これは薄肉フィルムメタライゼーションと呼ばれ、好ましくはスパッタリングにより形成される。

【0040】

スパッタリングによって達成できる厚さを超えるものが望まれる場合、スパッタリングの代わりに、電界めっきによって形成される導電性トラックを使用することも可能である。

【0041】

メタライゼーション30、32を得るために、最上部の金属面はその後少なくとも一回のリソグラフィ工程でパターン化される。もちろん、絶縁層36がメタライゼーション面の間に配置されるなら、複数のメタライゼーション面を連続的に形成してもよい。メタライゼーション30は、図3中塗りつぶされた四角で表され符号46が付されているように、チップ、ベースチップ及びマルチチップモジュールの接続部の間の電気接続のための配線層として機能する。

## 【0042】

平坦なトップチップ16を使用することで、完成したマルチチップモジュールは、外見上、ただ一つのチップを含む標準的な1個のICと変りがない。従って、このマルチチップモジュールは、何らかの標準的な接続技術によって、例えば図1の場合にはワイヤボンディング又は図2の場合にはフリップチップ実装によって、プリント基板等の外部の回路や部品と電氣的に接続され得る。

## 【0043】

ハウジングの形状及びチップシステムのサイズの最小化に関する最も大きな利点は、フリップチップ実装工程によって達成される。この目的のために、図2に示されているように、薄肉メタライゼーション面30が電気接続部を再配線するために使用される。この再配線のために、通常チップの境界部に位置する接続部がチップ全域に分布する。このようにして分散された接続部は、半田球38がそれらに載せられると、フリップチップ実装のための電気接続点として機能する。

## 【0044】

以下に、厚さ100 $\mu$ m未満、好ましくは5～40 $\mu$ mの範囲の回路チップを製造するためのいくつかの可能な方法を説明する。

## 【0045】

約700 $\mu$ mの標準的な厚さを有する回路ウエハを目標厚さ5～40 $\mu$ mまで薄くするためには、最初のウエハは、活性表面を有し、ガラス又はシリコンのウエハである支持基板上に接着されなければならない。この接着技術のための最も重要な必要条件は、全域へのへこみの無い接続であり、また支持基板から再び離脱可能であることである。この目的に適する材料は、ホットメルト接着剤や粘着フィルム等の熱可塑性材料である。現在、両側に粘着性のある粘着フィルムが好ましく使用されている。この粘着フィルムの片側には、90～140℃の間の温度になった際にはその粘着力を失う特別なコーティングが施されている。別の可能性は、紫外線の照射によって粘着力を失う粘着フィルムを使用することである。この場合、支持基板としてガラスウエハを使用しなければならない。

## 【0046】

回路ウエハが支持基板に接着されると、回路ウエハは底面から薄くされる。こ

の目的のための標準的な方法は研磨又は湿式化学エッチングである。薄肉エッチングの特別な形態はスピネッチングであり、この場合、ウエハが回転するディスク上に載せられ、エッチング媒体が上部からディスクに流れ、ディスクから振り落とされる。特に研磨とエッチングの組み合わせによって、支持基板を使用した場合、ウエハは最終的に数マイクロメートルの厚さにまで薄くされ得る。

【0047】

ウエハの薄肉化に加えて、薄いウエハをチップ化するダイシングも保証されなければならない。ダイシングの一つの方法は、ウエハを支持基板上に固定したままで、薄いウエハをダイシングソーでカットすることである。薄いウエハが接着層までカットされると、切り離し条件が満たされ、それぞれの薄いチップが粘着フィルムから離脱可能となる。あるいは、薄いウエハを支持基板とともにチップに切り分けることも可能である。このカット例では、薄いチップは支持基板上に載せられ接着されている。支持基板は後で離される。

【0048】

可能な限り高いレベルのメカニカルな一体性を有する回路チップを得ることは、トップチップの厚さがここで使用されているようなものの場合、生産性を上げるのに有利である。そのために、前処理されたトップチップを含むウエハの上面に、例えばソーイングや乾式エッチングでトレンチを形成してもよい。トレンチが形成されたこのウエハが粘着フィルム上に接着されると、ウエハの底面が特定のレベルにまで湿式化学的にエッチングされる。より念入りであるが時間のかかる乾式エッチングは、このウエハをトレンチが届くまで底面からエッチングするために採用され、これにより個々のトップチップ16を得るためのウエハの化学的ダイシングが達成される。また、トレンチが乾式エッチングで形成された場合、トップチップの端面は機械的欠損とは無縁であり、故にトップチップは高い生産性で製造され、そしてペースチップ上に接着される。

【0049】

以上の記述は、本発明の概念が特に第2根本必要条件に適していることを明確に示している。マルチチップモジュールのあるチップを交換しなければならない場合、同様の機能を有し別の製造者によって提供される他のチップを有するウエ



ハを単純に使用することができる。このウエハは個々のトップチップを得るために薄くされる。各トップチップを接着し、平面化層を形成すれば、周知のリソグラフィ表面処理技術を用いて、新しい一つのチップ部品のための配線が変更されるだけである。他のベースチップやトップチップに対する変更は必要ない。

【0050】

本発明に係るマルチチップモジュールは、極小サイズのものが要求されている電子部品及び電子システムとして使用できる。このような部品及びシステムは例えば移動携帯通信システムや、補聴器、心臓ペースメーカーや身につけるモニター及び診断ユニットを含む医療用モニター及び補助システムに使用される。使用可能な他の分野は、高周波部品のような電気信号通信に適した電子部品である。本発明に係るマルチチップモジュールの使用によって達成される特別な利点は、特にワイヤボンディングが不要であるという事実に由来するものである。多様なチップ間の配線長さが最小化され、本発明が矛盾なく使用された場合、ワイヤボンディングは全く不要である。更に、電気接続路は設計段階で確定され、製造される。このことは、導電体の幅及び厚さに関して、高周波への使用に適している。

【0051】

本発明に係るマルチチップモジュールは、また、Si、GaAs、InP、クウォーツ等の異なる基本材料から成る個々の部品が使用される限り、また、異なる製造技術から生産されるチップが組み合わされる限り、融通性がある。これは、例えばシステムがメモリーチップ、論理チップ、センサ部品、チップカードチップ、電源部品又は高周波通信チップ（トランスポンダー）から成る場合である。各素子は、例えば異なるウエハ径のものを使用することによって可能な限りの最低コストで製造することができ、マルチチップモジュールのシステム内でのみ、全体の機能が達成されるものである。

【図面の簡単な説明】

【図1】

本発明の第1実施形態であるマルチチップモジュールを示し、このマルチチップモジュールは接着部を有する。

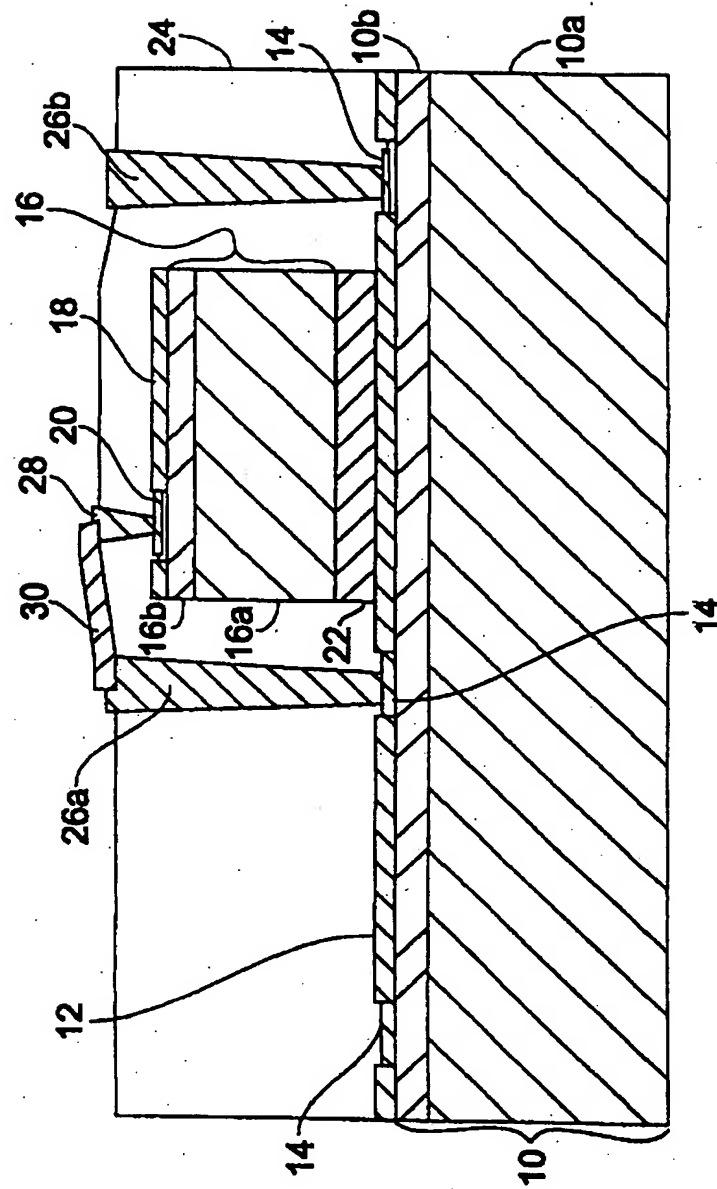
## 【図2】

本発明の他の実施形態であるマルチチップモジュールを示し、このマルチチップモジュールはフリップチップ実装のための半田球を有する。

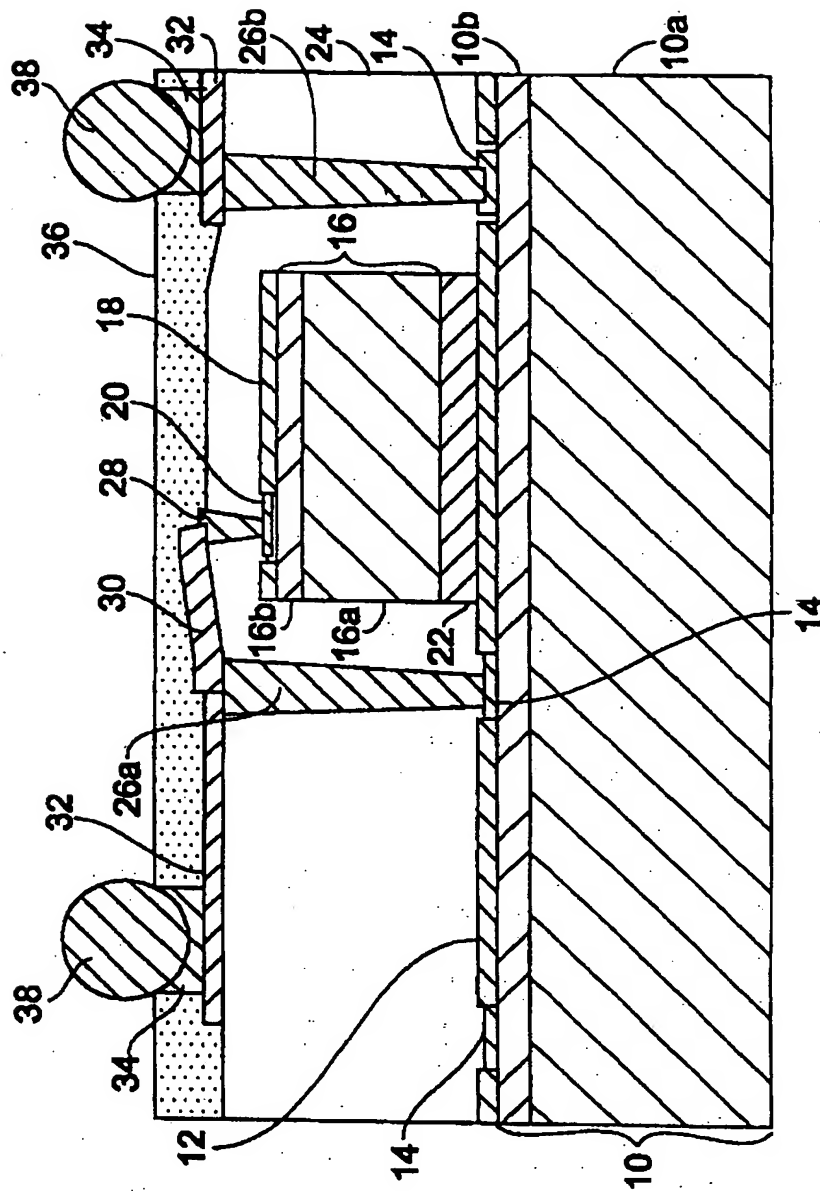
## 【図3】

本発明に係る二つのトップチップを含むマルチチップモジュールの上面図であり、個々のマルチチップモジュールを得るためにベースウエハをダイシングする前の状態である。

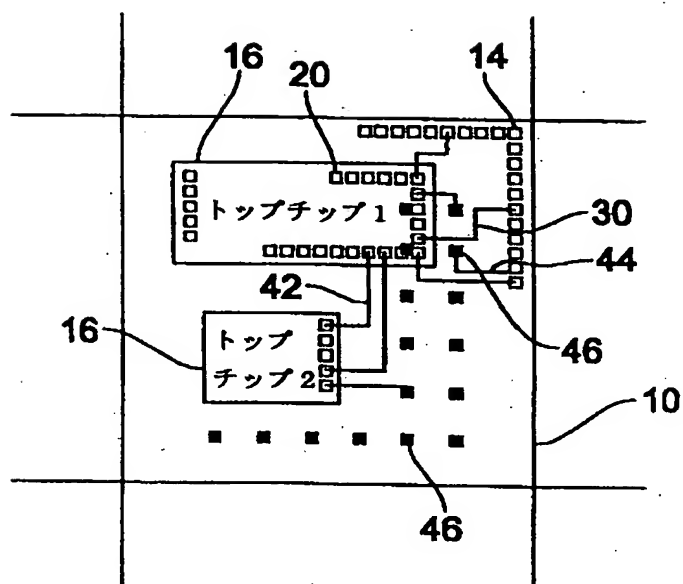
【図1】



【図 2】



【図3】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/EP 00/06132

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L25/065 H01L21/98

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 465 227 A (TOKYO SHIBAURA ELECTRIC CO) 8 January 1992 (1992-01-08) figure 5	1,3,7,8, 10,11 2,4,9
Y	US 5 841 193 A (EICHELBARGER CHARLES WILLIAM) 24 November 1998 (1998-11-24) figures 5G,5H	2,4,9
A	EP 0 920 058 A (MATSUSHITA ELECTRIC IND CO LTD) 2 June 1999 (1999-06-02) the whole document	9,12-15
A	US 5 793 115 A (DINGLE BRENDA ET AL) 11 August 1998 (1998-08-11) abstract; figures 4C,4D,16	1-15
A	EP 0 304 263 A (LSI LOGIC CORP) 22 February 1989 (1989-02-22)	
	-/-	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" documents of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"Z" document member of the same patent family

Date of the actual completion of the international search

7 November 2000

Date of mailing of the international search report

14/11/2000

Name and mailing address of the ISA  
European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3018

Authorized officer

Prohaska, G

## INTERNATIONAL SEARCH REPORT

Internat'l Application No  
PCT/EP 00/06132

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P,X	US 6 025 995 A (MARCINKIEWICZ WALTER M) 15 February 2000 (2000-02-15) the whole document	1-15

Form PCT/ISA/210 (continuation of second sheet) (July 1992)

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/EP 00/06132

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0465227 A	08-01-1992	JP 4218953 A	10-08-1992
		DE 69128566 D	12-02-1998
		DE 69128566 T	14-05-1998
		EP 0740338 A	30-10-1996
		US 5477065 A	19-12-1995
		US 5994739 A	30-11-1999
		US 5714782 A	03-02-1998
US 5841193 A	24-11-1998	NONE	
EP 0920058 A	02-06-1999	CN 1219837 A	16-06-1999
		JP 11220262 A	10-08-1999
		US 6038133 A	14-03-2000
US 5793115 A	11-08-1998	US 5976953 A	02-11-1999
		CA 2173123 A	06-04-1995
		EP 0721662 A	17-07-1996
		JP 9503622 T	08-04-1997
		WO 9509438 A	06-04-1995
		US 5656548 A	12-08-1997
EP 0304263 A	22-02-1989	JP 1157561 A	20-06-1989
US 6025995 A	15-02-2000	NONE	



## フロントページの続き

(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), JP, US

(72) 発明者 アンゾルゲ、フランク

ドイツ国、D-81245 ミュンヘン、クロ  
ンヴィンクラー ストラーセ 27D

(72) 発明者 ラム、ペーター

ドイツ国、D-85276 プファフェンホー  
フェン、イルムザイトランク 11b

(72) 発明者 エーアマン、オスヴィン

ドイツ国、D-13505 ベルリン、スペク  
トストラーセ 22